

ESIAL 1A

Principes Fondamentaux des Systèmes Informatiques

TD n° 4 - Logique Séquentielle Synchrone

1. ETUDE D'UN COMPTEUR BINAIRE SYNCHRONE DE SPÉCIFICATION:

Interface:

NOM	DIRECTION	LARGEUR	SÉMANTIQUE
k	Entrée	1	Horloge ( <i>clock</i> )
T	Entrée	1	Commande d'incréméntation synchrone ( <i>Toggle</i> )
Q	Sortie	4	Valeur

Comportement:

ÉVÉNEMENT	ACTION	SÉMANTIQUE
$I=1 \wedge k \uparrow$	$Q \leftarrow Q \# 1$	Incréméntation synchrone

1.1. SPÉCIFICATION : Décrire l'interface graphiquement au moyen d'une représentation symbolique.

1.2. ANALYSE :

1.2.1. Donner la structure RTL du compteur par une machine de Moore sans réseau logique de sortie.

1.2.2. Spécifier le réseau logique d'état :

a/ interface graphiquement ;

b/ comportement par une équation algébrique.

1.2.3. Dessiner le schéma synoptique de la structure en tranches identiques de largeur un bit du réseau logique d'état;

1.2.4. Spécifier la tranche modèle du réseau logique d'état:

a/ interface graphiquement ;

b/ comportement par deux tables de Karnaugh ;

1.2.5. Déduire le polynôme booléen de chaque sortie de tranche.

1.3. SYNTHÈSE : Dessiner le réseau logique d'une tranche avec une porte XOR et une porte AND.

1.4. RÉFLEXION : Quelle valeur a ce compteur au démarrage ?

2. ETUDE D'UN COMPTEUR BINAIRE SYNCHRONE RECHARGEABLE AVEC REMISE À ZÉRO PRIORITAIRE SYNCHRONE:

Interface:

NOM	DIRECTION	LARGEUR	SÉMANTIQUE
k	Entrée	1	Horloge ( <i>clock</i> )
R	Entrée	1	Commande de Remise A Zéro synchrone ( <i>Reset</i> )
L	Entrée	1	Commande de chargement synchrone ( <i>Load</i> )
T	Entrée	1	Commande d'incréméntation synchrone ( <i>Toggle</i> )
D	Entrée	4	Donnée à charger ( <i>Data</i> )
Q	Sortie	4	Valeur

Comportement:

ÉVÉNEMENT	ACTION	SÉMANTIQUE
$R=0 \wedge L=0 \wedge T=1 \wedge k \uparrow$	$Q \leftarrow Q \# 1$	Incréméntation synchrone ( <i>Toggle</i> )
$R=0 \wedge L=1 \wedge k \uparrow$	$Q \leftarrow D$	Chargement synchrone
$R=1 \wedge k \uparrow$	$Q \leftarrow 0$	Remise à zéro synchrone

2.1. SPÉCIFICATION : Décrire l'interface graphiquement au moyen d'une représentation symbolique.

2.2. ANALYSE :

2.2.1. Donner la structure RTL du compteur par une machine de Moore sans réseau logique de sortie.

2.2.2. Spécifier le réseau logique d'état :

a/ interface graphiquement ;

b/ comportement (table avec une expression algébrique du prochain état pour chaque valeur de RL);

2.2.3. Dessiner le schéma synoptique de la structure en tranches identiques de largeur un bit du réseau logique d'état;

2.2.4. Spécifier la tranche modèle du réseau logique d'état:

a/ interface graphiquement ;

b/ comportement par une table avec pour chaque valeur de RL une expression algébrique pour chaque sortie ;

2.2.5. Dresser les tables de Karnaugh ; déduire le polynôme booléen de chaque sortie de tranche. Y a-t-il un aléa ?

2.3. SYNTHÈSE :

2.3.1. Dessiner le réseau logique d'une tranche avec des portes NOT, AND et OR ;

2.3.2. Transformer ce réseau logique pour n'utiliser que des portes NOT et NAND.

2.3.3. Trouver l'expression de la sortie d'état avec un polynôme de NOTs et NORs en reprenant 2.2.5.

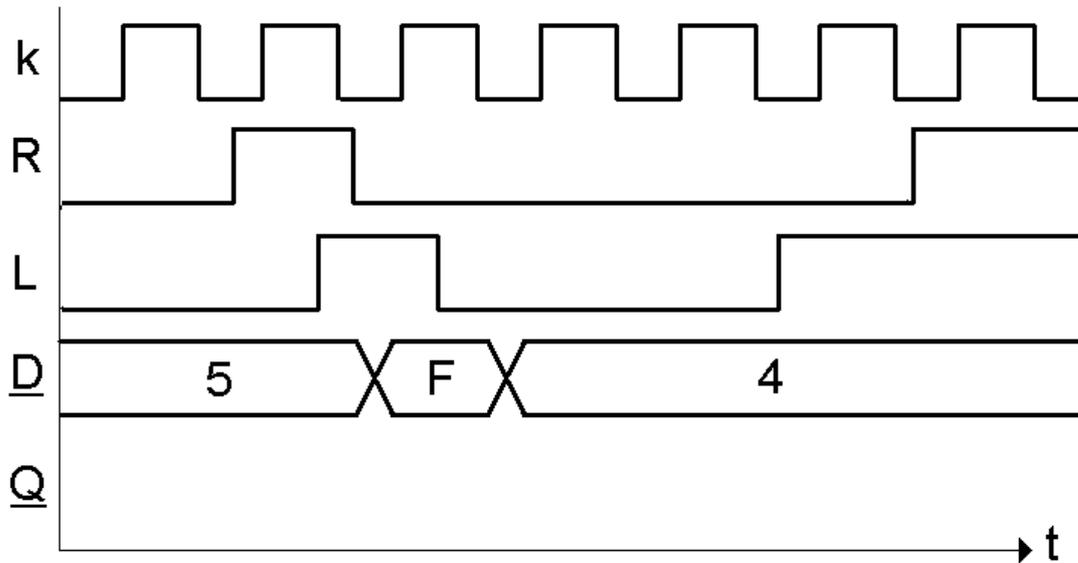
### 3. CHRONOGRAMMES

#### 3.1. Registre

3.1.a./ Spécifier l'interface d'un registre à 4 bits avec remise à zéro synchrone dont le comportement est spécifié par le tableau de règles "événement  $\Rightarrow$  action " suivant :

ÉVÈNEMENT	ACTION	SÉMANTIQUE
$R=0 \wedge L=1 \wedge k\uparrow$	$Q \leftarrow D$	Chargement synchrone
$R=1 \wedge k\uparrow$	$Q \leftarrow 0$	Initialisation synchrone: Remise à zéro

3.1.b/ Compléter le chronogramme suivant pour ce registre



#### 3.2. Compteur

Compléter le chronogramme suivant pour le compteur de la question 2:

